

# BEST AVAILABLE COPY

PAT-NO: JP404026226A  
DOCUMENT-IDENTIFIER: JP 04026226 A  
TITLE: KEY MATRIX CIRCUIT  
PUBN-DATE: January 29, 1992

## INVENTOR-INFORMATION:

NAME  
IGARI, SEIJI

## ASSIGNEE-INFORMATION:

NAME	COUNTRY
MITSUBISHI ELECTRIC CORP	N/A

APPL-NO: JP02130244

APPL-DATE: May 22, 1990

INT-CL (IPC): H03K017/00

US-CL-CURRENT: 341/32

## ABSTRACT:

PURPOSE: To increase the number of switches to be decided by providing two switches at the same lattice position in a key matrix circuit integrating the plural switches and diode jumpers in the shape of a matrix.

CONSTITUTION: When wirings I/O1-I/O2 are defined for output and wirings I/O4-I/O6 are defined for input, switches from SW1 to SW9 can be decided. For example, when there is an output signal at a low level in the wiring I/O3 and the switch SW1 is turned to an ON state, the output signal at the low level is

inputted to the wiring I/O4, and it can be decided that the SW1 is turned to the ON state. On the other hand, when the wirings I/O4-I/O6 are switched for output and the wirings I/O1-I/O3 are switched for input, switches from SW10 to SW18 can be decided. Thus, the number of switches twice the switches of a conventional example can be decided.

COPYRIGHT: (C)1992,JPO&Japio

⑫ 公開特許公報(A) 平4-26226

⑬ Int.Cl.<sup>5</sup>

H 03 K 17/00

識別記号

K

庁内整理番号

9184-5J

⑭ 公開 平成4年(1992)1月29日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 キーマトリクス回路

⑯ 特 願 平2-130244

⑰ 出 願 平2(1990)5月22日

⑱ 発 明 者 猪 狩 誠 司 東京都品川区西五反田1丁目18番9号 三菱電機セミコンダクタソフトウェア株式会社東京本社内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 曾我 道照 外5名

明 細 書

1. 発明の名称

キーマトリクス回路

2. 特許請求の範囲

複数のスイッチ及びダイオードジャンパがマトリクス状に組まれたキーマトリクス回路において、同じ格子位置に2個のスイッチを設けたことを特徴とするキーマトリクス回路。

3. 発明の詳細な説明

[産業上の利用分野]

この発明は、キーマトリクス回路に関し、特にマトリクス状に組まれたスイッチの同じ格子位置にもう1つのスイッチを付けられるようにしたキーマトリクス回路に関するものである。

[従来の技術]

第6図は従来のキーマトリクス回路を示す回路図である。図において、(1)は波形出力手段、(2)は波形入力手段、SL1、SL2、SL3は波形出力手段(1)に接続され、第7図に示すような出力波形を出力する配線、RL1、RL2、

RL3は波形入力手段(2)に接続され、上述の出力波形を入力する配線、SW1～SW9は配線SL1～SL3で出力される波形を配線RL1～RL3に入力させるスイッチで、特にスイッチSW6とSW9はその間にダイオード等を入れることにより、入り状態になるスイッチである。第6図ではスイッチSW6がJPIなるダイオードジャンパで入り状態になっていて、SW9は何も接続されていないので、切り状態となっている。D1～D7はスイッチSW1～SW9が2つ以上入り状態になったときの電流制御用のダイオード、R1～R3はスイッチSW1～SW9が1つも入り状態にないときに入力配線RL1～RL3の入力電圧を固定するためのプルアップ抵抗器である。

次に、第6図に示した従来のキーマトリクス回路の動作について説明する。例えばスイッチSW3が入り状態になったとすると、第7図の上部に示すような配線SL1～SL3上の出力波形に対し、配線RL1～RL3上に第7図の下部に示すような入力波形が得られる。この入力波形によ

てスイッチSW3が入り状態にあることが検出できる。また、スイッチSW6、SW9のようなジャンプスイッチの場合、JP1のようなダイオードジャンプを入れることによって、入り状態となる。

#### [発明が解決しようとする課題]

従来のキーマトリクス回路は以上のように構成されているので、出力配線の数 $n$ 、入力配線の数 $m$ とすると、判定出来るスイッチの数 $x$ は

$$x = n \cdot m$$

で求められる数しかなく、これ以上のスイッチを判定したい場合には、出力配線または入力配線の数を増やす必要があり、マイコン等で制御している場合マイコンの入出力端子には数の限りがあり、判定したいスイッチの数には限界がある(数が少ない)という問題点があった。

この発明は上記のような問題点を解決するためになされたもので、判定出来るスイッチの数 $x$ が $x = 2n \cdot m$ になるキーマトリクス回路を得ることを目的とする。

#### [課題を解決するための手段]

1~R3は前述と同様のものである。第1図において、(11)、(12)は波形入出力手段、I/O1~I/O3は波形入出力手段(11)に接続された波形入出力用配線、I/O4~I/O6は波形入出力手段(12)に接続された波形入出力用配線であって、配線I/O1~I/O6は入力と出力のどちらにも切り換えられるものとし、配線I/O1~I/O3と配線I/O4~I/O6はそれぞれ入力と出力が同じように切り換えられる。又、SW10~SW18はスイッチSW1~SW9にそれぞれ並列接続されるスイッチ、D8~D15はスイッチSW10~SW18のうち複数のスイッチが入り状態になったときの電流制御用ダイオード、R4~R6はそれぞれ配線I/O1~I/O3に接続され、これらの配線が入力用になったときに入力電圧を確定させるためのプルアップ抵抗器である。又、SW12はジャンプスイッチであって、第1図ではJP2というダイオードジャンプが接続されているので、スイッチSW12は入り状態となっている。

この発明に係るキーマトリクス回路は、複数のスイッチ及びダイオードジャンプがマトリクス状に組まれたキーマトリクス回路において、同じ格子位置に2個のスイッチを設けたものである。

#### [作用]

この発明においては、一方の入出力配線をまず出力配線にし、他方の入出力配線を入力配線にしたときに1つのスイッチを判定することが出来、又入力と出力の配線を互いに切り換えた場合(以前出力だった配線を入力に、入力だった配線を出力に切り換える)もう1つのスイッチを判定することが出来、1つの格子点上で2つのスイッチを判定することができる。又、上記と同様の方法で2回以上のそれぞれの入力を取り込み、その2回以上の入力の組み合わせによって、1つの格子点上の2つのスイッチを判定することもできる。

#### [実施例]

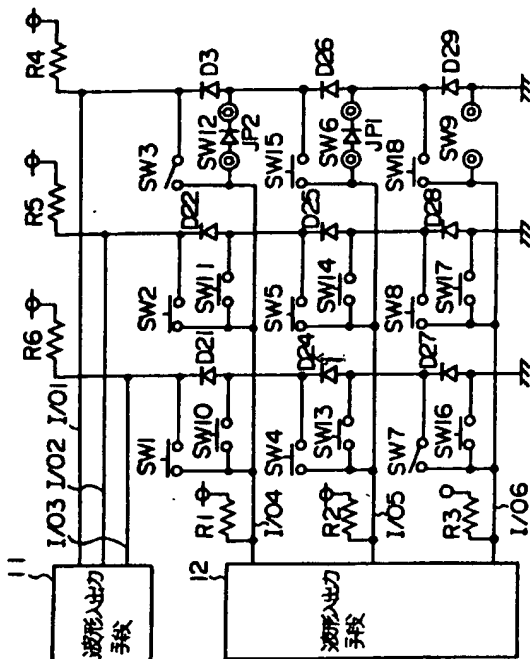
以下、この発明の一実施例を図について説明する。第1図はこの発明の一実施例を示す回路図であり、SW1~SW9、JP1、D1~D7、R

次に、第1図に示したこの発明の一実施例の動作について説明する。配線I/O1~I/O3を出力用、配線I/O4~I/O6を入力用とした場合、従来例と同様に、スイッチSW1~SW9までを判定することが出来る。例えば配線I/O3にローレベルの出力信号がある場合にスイッチSW1が入り状態になったとすると、配線I/O4にローレベルの出力信号が入力され、これによりSW1が入り状態にあることが判定出来る。又、配線I/O4~I/O6を出力用とし、配線I/O1~I/O3を入力用に切り換えた場合、スイッチSW10~SW18を判定することが出来る(スイッチの判定は従来例と同様)。この結果、本実施例では従来例の2倍のスイッチの判定が可能となる。

第2図はこの発明の第2実施例を示す回路図であり、上記実施例が電流制御用のダイオードを各スイッチに1つ設けているのに対し本実施例では1格子点に1つのダイオードしか設けない場合である。第2図において、I/O1~I/O6、R



第2図



第3図

I/O3(出力)	SW1	SW10	I/O4(入力)
Low	切	切	High
Low	入	切	Low
Low	切	入	Low
Low	入	入	Low
High	切	切	High
High	入	切	High
High	切	入	Low
High	入	入	Low

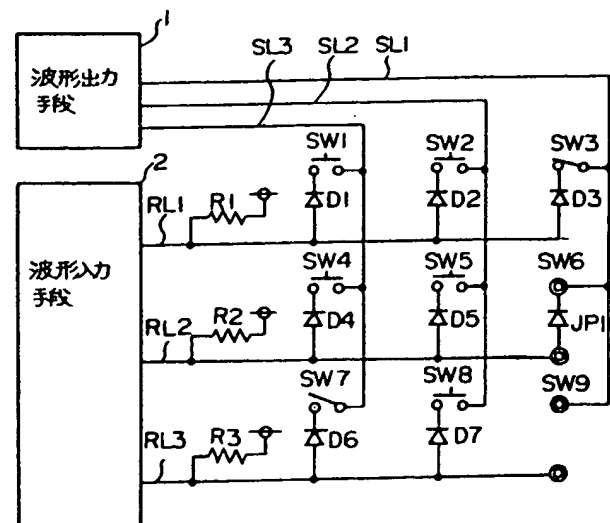
第4図

I/O4(出力)	SW1	SW10	I/O3(入力)
Low	切	切	High
Low	入	切	Low
Low	切	入	High
Low	入	入	Low

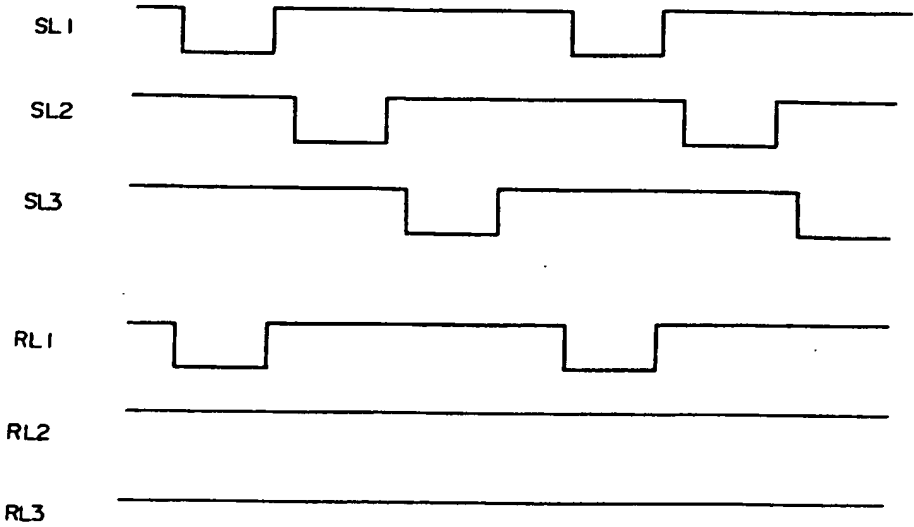
第5図

SW1	SW10	I/O3Low出力	I/O3High出力	I/O4Low出力
切	切	High	High	High
入	切	Low	High	Low
切	入	Low	Low	High
入	入	Low	Low	Low

第6図



第7図



BEST AVAILABLE COPY